

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-075204

(43)Date of publication of application : 18.03.1994

(51)Int.Cl.

G02F 1/133

G09G 3/36

H04N 5/66

(21)Application number : 04-227639

(71)Applicant : SHARP CORP

(22)Date of filing : 26.08.1992

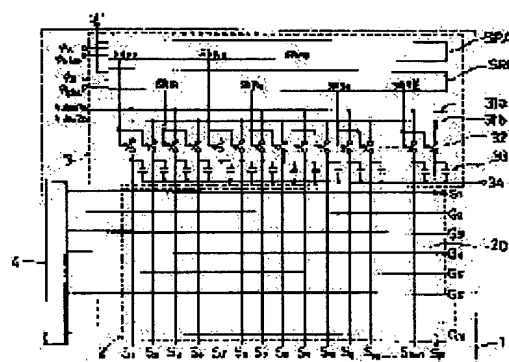
(72)Inventor : AKEHI YASUNAO
YAMASHITA TOSHIHIRO
MATSUMOTO TOSHIO
TAKATO YUTAKA
SASAKI OSAMU

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To make a large-capacity and large-screen display of excellent picture quality at high yield.

CONSTITUTION: Shift registers SRA, SRB,... which constitute a driver 3 driving source bus lines S1-SN are provided by as many as K systems and L switch means 32 are controlled simultaneously with one output of the shift registers SRA, SRB,... of the respective systems to generate clock signals ΦA and $\Phi Bbar$, and ΦB and $\Phi Bbar$ which shift in period by L times as long as a sampling period and have periods 2KL times as long as the sampling period. The L switch means 32 which are controlled simultaneously are connected to video signal lines 31a and 31b of different L systems. Then L kind of video signals Video1, Video2... generated by sampling a source video signal in cycles L times as long as the sampling period while the sampling phase is shifted by the sampling period are applied to video signal lines 31 and 31b.



LEGAL STATUS

[Date of request for examination]

12.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2815102

[Date of registration]

14.08.1998

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-75204

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.⁵

G 0 2 F 1/133

G O 9 G 3/36

H O 4 N 5/68

識別記号

550

102 · B

庁内整理番号

9226-2K

7319-5G

9068-5C

FI

技術表示箇所

審査請求 未請求 請求項の数 4 (全 9 頁)

(21)出願番号

特願平4-227639

(22)出願日

平成4年(1992)8月26日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区长池町22番22号

(72)発明者 明比 康直

大阪府大阪市阿倍野区长池町22番22号 シ

ヤープ株式会社内

(72)発明者 山下 俊弘

大阪府大阪市阿倍野区长池町22番22号 シ

ヤープ株式会社内

(72)発明者 松本 俊夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 山本 秀策

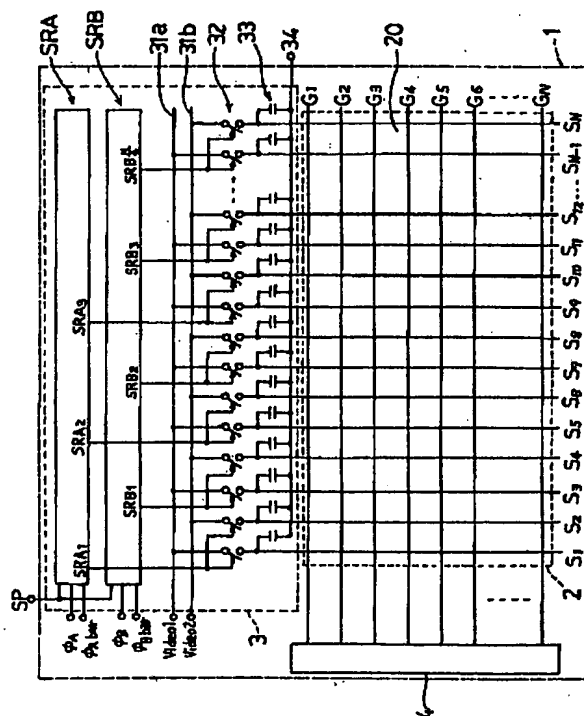
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】 (修正有)

【目的】 歩留まり良く、大容量・大画面で画質のすぐれた表示を可能にする。

【構成】 ソースバスライン $S_1 \sim S_N$ を駆動するドライバ 3 を構成するシフトレジスタ SRA 、 SRB 、…を K 系統設け、各系統のシフトレジスタ SRA 、 SRB 、…の 1 出力で L 個のスイッチ手段 3 2 を同時に制御し、シフトレジスタ SRA 、 SRB 、…の各系統毎に、サンプリング期間の L 倍の期間がずれ、且つサンプリング期間の $2KL$ 倍の周期のクロック信号 ΦA 、 $\Phi A\text{Bar}$ 、 ΦB 、 $\Phi B\text{Bar}$ が与える。上記同時に制御される L 個のスイッチ手段 3 2 は、それぞれ異なる L 系統のビデオ信号ライン 3 1 a、3 1 b に接続される。ビデオ信号ライン 3 1、3 1 b には、サンプリング期間だけサンプリング位相をずらし、サンプリング期間の L 倍の周期で原ビデオ信号をサンプリングした L 種のビデオ信号 $V_{\text{Video } 1}$ 、 $V_{\text{Video } 2}$ …を位相を揃えて印加する。



【特許請求の範囲】

【請求項1】 基板上に複数のゲートバスラインと複数のソースバスラインとが直交するように配設され、該ゲートバスラインと該ソースバスラインとの各交点に絵素が形成されており、該ゲートバスラインを駆動するゲートドライバー及び該ソースバスラインを駆動するソースドライバーが形成されたアクティブマトリクス型液晶表示装置において、

該ソースバスラインに各々サンプルアンドホールド回路が形成されていると共に、各サンプルアンドホールド回路が隣合う L （2以上の整数）個を1組とし、各組における各々の該サンプルアンドホールド回路が L 系統のビデオ信号ラインの1つずつに順に接続され、且つ、各サンプルアンドホールド回路に備わったスイッチ手段を制御するシフトレジスタが K （2以上の整数）系統設けられ、1組のスイッチ手段を1系統のシフトレジスタに対応させた状態で、隣合う各組のスイッチ手段が別の系統のシフトレジスタにより駆動されるように該ソースドライバーが構成され、該 L 系統のビデオ信号ラインの各々に、有効水平走査期間を有効ソースバスライン数で割ったサンプリング期間だけサンプリング位相をずらして、該サンプリング期間の L 倍の周期で原信号であるビデオ信号をサンプリングした L 種のビデオ信号を位相を揃えて印加すると共に、該シフトレジスタに、各系統毎に該サンプリング期間の L 倍の期間がずれ、且つ該サンプリング期間の $2KL$ 倍の周期のクロック信号が与えられるアクティブマトリクス型液晶表示装置。

【請求項2】 前記 L 種のビデオ信号間の出力信号レベル差を検出し、該出力信号レベル差に基づくゲイン補正及びオフセット補正を行う補正回路によって、該出力信号レベル差をゲインが0.5%以下にし、且つオフセットが20mV以下とした請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】 前記絵素が電荷保持用容量を備え、前記サンプルアンドホールド回路の容量が該電荷保持用容量の10倍以上である請求項1又は2に記載のアクティブマトリクス型液晶表示装置。

【請求項4】 前記絵素を駆動するスイッチング素子として薄膜トランジスタを備え、該薄膜トランジスタ、前記ゲートドライバー及び前記ソースドライバーが多結晶シリコンからなる請求項1、2又は3に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、特に多結晶シリコン（以下、「ポリシリコン」と呼ぶ）等で駆動回路が構成された駆動回路内臓型のアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】 駆動回路一体型のアクティブマトリクス

型液晶表示装置においては、ガラスや石英等の透明絶縁性基板上に、表示部と一体化してソースドライバーやゲートドライバー等の駆動回路を構成する必要があるが、通常、ポリシリコンの薄膜MOSトランジスタ（以下、「ポリシリコンTFT」と呼ぶ）で駆動回路を構成する。しかし、単結晶シリコンを用いた駆動回路と比較して、ポリシリコンTFTは動作スピードが非常に遅いという欠点がある。特に、表示部のソースバスラインを駆動するためのソースドライバーにおいては、大画面・大容量の表示を行う場合、ソースドライバーを構成するシフトレジスタの動作スピードが不足するので、ポリシリコンTFTで構成したシフトレジスタの動作スピードを越えない範囲で駆動する方法が、種々検討されている。

【0003】 図5に、シフトレジスタに要求される動作スピードを低減させる方法の一例である2系統のシフトレジスタを用いる駆動回路内臓型のアクティブマトリクス型液晶表示装置を示す。図5に基づいて、従来の駆動回路内臓型のアクティブマトリクス型液晶表示装置の構造を説明する。

【0004】 図示するように、この液晶表示装置は透明絶縁性基板101上に、ソースバスライン $S_{11} \sim S_{1N}$ とゲートバスライン $G_{11} \sim G_{1M}$ とが縦横に配線され表示部102を構成している。表示部102が形成されている基板101上で、ソースバスライン $S_{11} \sim S_{1N}$ の一端には、ソースバスライン $S_{11} \sim S_{1N}$ を駆動するためのソースドライバー103が形成され、ゲートバスライン $G_{11} \sim G_{1M}$ の一端には、ゲートバスライン $G_{11} \sim G_{1M}$ を駆動するためのゲートドライバー104が形成されている。

【0005】 表示部102において、ソースバスライン S_{1n} （ $1 \leq n \leq N$ ）とゲートバスライン G_{1m} （ $1 \leq m \leq M$ ）とで囲まれた部分が表示の一単位である絵素120となる。

【0006】 図6に、1つの絵素120の一例の等価回路を示す。図示するように、絵素120は、ソースバスライン S_{1n} とゲートバスライン G_{1m} との交点に形成されたスイッチング素子として機能する薄膜トランジスタ120aと、ソースバスライン S_{1n} から印加されるビデオ信号電位 D_{11} 、 D_{12} 、…を印加し液晶容量を駆動する絵素電極120bと、絵素電極120bと並列に設けられた電荷保持用容量120cとから構成される。

【0007】 ソースドライバー103は、図5に示すように、ソースバスライン $S_{11} \sim S_{1N}$ に印加する原信号であるビデオ信号（以下、「原ビデオ信号」と呼ぶ） V_{id} eoを入力するためのビデオ信号ライン131と、ビデオ信号ライン131と各ソースバスライン $S_{11} \sim S_{1N}$ との間に形成されたアナログスイッチ132及びサンプリングコンデンサ133と、アナログスイッチ132の動作を制御する2系統のシフトレジスタSRA1及びSRB1とで構成されている。アナログスイッチ132は、ビデオ信号ライン131からのビデオ信号 V_{id} eoをサン

リングするためのものである。サンプリングコンデンサ133は、サンプリングしたビデオ信号電位 D_{11} 、 D_{12} 、…をソースバスライン $S_{11} \sim S_{1N}$ と共通電極134との間に保持するためのものである。シフトレジスタSRA1は、奇数番目のソースバスライン $S_{11} \sim S_{1N-1}$ に接続されており、シフトレジスタSRB1は、偶数番目のソースバスライン $S_{12} \sim S_{1N}$ に接続されている。各系統のシフトレジスタSRA1、SRB1の出力は、ソースバスライン $S_{11} \sim S_{1N}$ 1本毎に対応するアナログスイッチ132の動作（開閉）を制御している。以上のソースドライバ103を構成する各部がポリシリコン薄膜等で同一基板101上に形成されている。

【0008】図7に、図5に示すソースドライバ103の駆動時におけるタイミングチャートを示す。図5及び図7に基づいて、ソースドライバ103の動作を説明する。

【0009】2系統のシフトレジスタSRA1、SRB1の起動は、図7に示すスタート信号SPIで制御される。シフトレジスタSRA1はクロック信号 $\Phi A1$ 、 $\Phi ABar1$ により制御され、シフトレジスタSRB1はクロック信号 $\Phi B1$ 、 $\Phi BBar1$ で制御される。クロック信号 $\Phi A1$ とクロック信号 $\Phi B1$ とは、 $1/4$ 周期分（サンプリング期間 t_0 ）だけ位相がずれた信号が入力される。これらのクロック信号 $\Phi A1$ 、 $\Phi ABar1$ 、 $\Phi B1$ 、 $\Phi BBar1$ により、2系統のシフトレジスタSRA1、SRB1は、例えば、図7に示すSRA1 $_1$ とSRB1 $_1$ とに見られるように、それぞれサンプリング期間 t_0 だけ位相のずれた波形を順次アナログスイッチ132へ出力する。アナログスイッチ132は、シフトレジスタSRA1、SRB1の出力がハイレベルの期間に導通するようになっており、これらのシフトレジスタSRA1、SRB1の出力によりアナログスイッチ132が $4t_0$ の期間導通する。アナログスイッチ132が導通している期間に、サンプリングコンデンサ133に原ビデオ信号Videoをサンプリングし、ソースバスライン $S_{11} \sim S_{1N}$ を順次駆動する。ここで、アナログスイッチ132は $4t_0$ の期間導通しているが、1本前のソースバスライン $S_{11} \sim S_{1N}$ に接続されているアナログスイッチ132と $3t_0$ の期間は重なって導通しているため、結果的には最後の期間 t_0 （1本前のソースバスライン $S_{11} \sim S_{1N}$ と重ならない期間）の間にサンプリングされた原ビデオ信号Videoが、サンプリングコンデンサ133にサンプリングされることになる。つまり、2系統のシフトレジスタSRA1、SRB1を並列駆動することにより、サンプリング期間 t_0 ずつずれた原ビデオ信号Videoがサンプリングコンデンサ133に順次サンプリングされ、サンプリングされたビデオ信号電位 D_{11} 、 D_{12} 、…を、それぞれ対応するソースバスライン $S_{11} \sim S_{1N}$ に印加する。各シフトレジスタSRA1、SRB1は、サンプリング期間 t_0 の4倍の周期で駆動させるので、各シフト

レジスタSRA1、SRB1の動作スピードを $1/4$ に低減することが出来る。

【0010】上記駆動回路一体型のアクティブマトリクス型液晶表示装置は、2系統のシフトレジスタを並列駆動させる場合であるが、 K （ K は整数）系統のシフトレジスタを並列駆動される場合は、シフトレジスタの動作スピードを $1/2K$ に低減できる。

【0011】

【発明が解決しようとする課題】上述のように、複数系統のシフトレジスタを並列駆動することで、シフトレジスタの動作スピードを低減することはできるが、原ビデオ信号Videoをサンプリングする真のサンプリング期間 t_0 には変化がない。その結果、大容量・大画面の液晶表示装置を駆動する場合においては、十分なサンプリング期間 t_0 をとるために、アナログスイッチに高速動作が要求され、かつ、サンプリング期間 t_0 の不足により表示画面の解像度が低下、コントラストの低下及び表示ムラ等の表示品位の劣化の問題が生じる。

【0012】また、複数系統のシフトレジスタを並列駆動しても、シフトレジスタの総出力本数は、ソースバスラインの本数だけ必要であり、シフトレジスタの並列駆動の本数の増加に伴い、入力信号線（クロック信号 $\Phi A1$ 、 $\Phi ABar1$ など）等の配線数が増加すると共に、シフトレジスタ部分の面積が増加して歩留まりが低下するという問題がある。

【0013】本発明は、上記従来技術の問題を解決すべくなされたものであり、シフトレジスタの動作スピードを低減させ、且つビデオ信号のサンプリング期間を十分長く取ることにより、画質の向上を図ることができるのみならず、シフトレジスタの出力本数（シフトレジスタを構成するトランジスタ数）及び配線数を低減させ、シフトレジスタの占める面積を縮小化することによって、歩留り良く、大容量・大画面の表示を可能にするアクティブマトリクス型液晶表示装置を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明のアクティブマトリクス型液晶表示装置は、基板上に複数のゲートバスラインと複数のソースバスラインとが直交するように配設され、隣合う2本の該ゲートバスラインと隣合う2本の該ソースバスラインとで囲まれる領域に絵素が形成されており、該ゲートバスラインを駆動するゲートドライバ及び該ソースバスラインを駆動するソースドライバが形成されたアクティブマトリクス型液晶表示装置において、該ソースバスラインに各々サンプルアンドホールド回路が形成されていると共に、各サンプルアンドホールド回路が隣合う L （2以上の整数）個を1組とし、各組における各々の該サンプルアンドホールド回路が L 系統のビデオ信号ラインの1つずつに順に接続され、且つ、各サンプルアンドホールド回路に備わったスイッチ

手段を制御するシフトレジスタが K （2以上の整数）系統設けられ、1組のスイッチ手段を1系統のシフトレジスタに対応させた状態で、隣合う各組のスイッチ手段が別の系統のシフトレジスタにより駆動されるように該ソースドライバーが構成され、該 L 系統のビデオ信号ラインの各々に、有効水平走査期間を有効ソースバスライン数で割ったサンプリング期間だけサンプリング位相をずらして、該サンプリング期間の L 倍の周期で原信号であるビデオ信号をサンプリングした L 種のビデオ信号を位相を揃えて印加すると共に、該シフトレジスタに、各系統毎に該サンプリング期間の L 倍の期間がずれ、且つ該サンプリング期間の $2KL$ 倍の周期のクロック信号が与えられており、そのことによって、上記目的が達成される。

【0015】前記 L 種のビデオ信号間の出力信号レベル差を検出し、該出力信号レベル差に基づくゲイン補正及びオフセット補正を行う補正回路によって、該出力信号レベル差をゲインが0.5%以下にし、且つオフセットが20mV以下としてもよい。

【0016】前記絵素が電荷保持用容量を備え、前記サンプルアンドホールド回路の容量が該電荷保持用容量の10倍以上であってもよい。

【0017】前記絵素を駆動するスイッチング素子として薄膜トランジスタを備え、該薄膜トランジスタ、前記ゲートドライバー及び前記ソースドライバーが多結晶シリコンからなっているとしてもよい。

【0018】

【作用】本発明においては、ソースバスラインを駆動するソースドライバーを構成するシフトレジスタを K 系統設け、かつ、各系統のシフトレジスタの1出力で L 個のスイッチ手段を同時に制御し、シフトレジスタの各系統毎に、サンプリング期間の L 倍の期間がずれ、且つサンプリング期間の $2KL$ 倍の周期のクロック信号が与えられている。その結果、スイッチ手段を $2KL$ の期間だけ導通状態にし、隣合うスイッチ手段の間で、導通期間がサンプリング期間の L 倍だけずれる。

【0019】上記同時に制御される L 個のスイッチ手段は、それぞれ異なった L 系統のビデオ信号ラインに接続されており、ビデオ信号ラインには、サンプリング期間だけサンプリング位相をずらして、サンプリング期間の L 倍の周期で原ビデオ信号をサンプリングした L 種のビデオ信号を位相を揃えて印加する。その結果、原ビデオ信号をサンプリング期間でサンプリングした信号がソースバスラインに印加される。

【0020】

【実施例】本発明の実施例について以下に説明する。

【0021】図1に、本発明の一実施例である2系統のシフトレジスタを用いる駆動回路内臓型のアクティブマトリクス型液晶表示装置を示す。図1に基づいて、本実施例の駆動回路内臓型のアクティブマトリクス型液晶表

示装置の構造を説明する。

【0022】図示するように、この液晶表示装置は透明絶縁性基板1上に、ソースバスライン $S_1 \sim S_N$ とゲートバスライン $G_1 \sim G_M$ とが縦横に配線され表示部2を構成している。表示部2が形成されている基板1上で、ソースバスライン $S_1 \sim S_N$ の一端には、ソースバスライン $S_1 \sim S_N$ を駆動するためのソースドライバー3が形成され、ゲートバスライン $G_1 \sim G_M$ の一端には、ゲートバスライン $G_1 \sim G_M$ を駆動するためのゲートドライバー4が形成されている。

【0023】表示部2において、ソースバスライン S_n （ $1 \leq n \leq N$ ）とゲートバスライン G_m （ $1 \leq m \leq M$ ）とで囲まれた部分が表示の一単位である絵素20となる。絵素20は、図6示す絵素と同様の構成をしており、ソースバスライン S_n とゲートバスライン G_m との交点に形成されたスイッチング素子として機能する薄膜トランジスタ20aと、ソースバスライン S_n から印加されるビデオ信号電位 D_1 、 D_2 、…を印加し液晶容量を駆動する絵素電極20bと、絵素電極20bと並列に設けられた電荷保持用容量20cとからなる。

【0024】ソースドライバー3は、図1に示すように、ソースバスライン $S_1 \sim S_N$ に印加するビデオ信号Video1、Video2を入力するための2系統のビデオ信号ライン31a、31bと、ビデオ信号ライン31a、31bと各ソースバスライン $S_1 \sim S_N$ との間に形成されたアナログスイッチ32及びサンプリングコンデンサ33からなるサンプルアンドホールド回路と、アナログスイッチ32の動作を制御する2系統のシフトレジスタSRA及びSRBとで構成されている。奇数番目のソースバスライン $S_1 \sim S_{N-1}$ は、ビデオ信号ライン31aに接続され、ビデオ信号Video1が印加される。偶数番目のソースバスライン $S_2 \sim S_N$ は、ビデオ信号ライン31bに接続され、ビデオ信号Video2が印加される。アナログスイッチ32は、ビデオ信号ライン31a、31bからのビデオ信号Video1、Video2をサンプリングするためのものである。サンプリングコンデンサ33は、サンプリングしたビデオ信号電位 D_1 、 D_2 、…をソースバスライン $S_1 \sim S_N$ と共通電極34との間に保持するためのものである。2系統のシフトレジスタSRA、SRBは、2本ずつ交互にソースバスライン $S_1 \sim S_N$ に接続されている。各系統のシフトレジスタSRA、SRBの出力は、それぞれ2本毎のソースバスライン $S_1 \sim S_N$ に対応するアナログスイッチ32の動作（開閉）を制御している。以上のソースドライバー3を構成する各部がポリシリコン薄膜等で同一基板1上に形成されている。

【0025】本実施例では、表示部2と同一基板1上にソースドライバー3及びゲートドライバー4等の駆動回路を一体形成しているが、駆動回路を表示部2と別に形成して、表示部2に取り付けた構成にしても構わない。

【0026】図2に、図1に示すソースドライバー3の

駆動時におけるタイミングチャートを示す。図1及び図2に基づいて、ソースドライバ3の駆動時の動作を説明する。

【0027】2系統のシフトレジスタSRA、SRBの起動は、図2に示すスタート信号SPで制御される。シフトレジスタSRAはクロック信号ΦA、ΦABarにより制御され、シフトレジスタSRBはクロック信号ΦB、ΦBBarで制御される。クロック信号ΦAとクロック信号ΦBとは、1/4周期分（有効水平走査期間を有効ソースバスライン数で割った値であるサンプリング期間 t_0 の2倍）だけ位相がずれた信号が入力される。これらのクロック信号ΦA、ΦABar、ΦB、ΦBBarにより、2系統のシフトレジスタSRA、SRBは、例えば、図2に示すSRA_iとSRB_iとに見られるように、それぞれサンプリング期間 $2t_0$ だけ位相のずれた波形を順次アナログスイッチ32へ出力する。

【0028】2系統のビデオ信号ライン31a、31bは、原ビデオ信号Videoをそれぞれ期間 t_0 だけ位相をずらしてサンプリングしたビデオ信号Video1及びVideo2を同じタイミングで $2t_0$ の期間出力する信号が入力される。ビデオ信号Video1及びVideo2の作成方法は後述する。

【0029】ここで、シフトレジスタSRA、SRBの1出力により制御される2個のアナログスイッチ32は、それぞれ異なったビデオ信号ライン31a、31bに接続されており、図2に示すビデオ信号Video1及びVideo2のように、位相の異なったビデオ信号電位D₁、D₂、…を同時にサンプリングする。アナログスイッチ32は、シフトレジスタSRA、SRBの出力がハイレベルの期間に導通するようになっており、シフトレジスタSRA、SRBの1出力により、同時に2個のアナログスイッチ32が期間 $8t_0$ の間導通する。アナログスイッチ32が導通している期間に、ビデオ信号Video1、Video2をサンプリングコンデンサ33にサンプリングし、ソースバスラインS₁～S_Nを2本ずつ順次駆動する。アナログスイッチ32は、2本前のソースバスラインS₁～S_Nに接続されているアナログスイッチ32と同一のビデオ信号ライン31a、31bに接続されているので、2本前のソースバスラインS₁～S_Nに接続されているアナログスイッチ32と $6t_0$ の期間重なって導通する。その結果、最後の期間 $2t_0$ （2本前のソースバスラインS₁～S_Nと重ならない期間）の間にサンプリングされたビデオ信号Video1、Video2が、サンプリングコンデンサ33にサンプリングされることになる。

【0030】上述のように駆動することによって、ソースバスラインS₁～S_Nには、サンプリング期間 t_0 ずつずれたビデオ信号電位D₁、D₂、…を印加することになり、表示画像の解像度は低下しない。しかも、各系統のシフトレジスタSRA、SRBをサンプリング期間 t_0

の8倍の周期で駆動するので、各シフトレジスタSRA、SRBの動作スピードを1/8にすることが可能となり、かつ1個のアナログスイッチ32に割当てられる真のサンプリング期間は $2t_0$ と長くなる。

【0031】また、2系統のビデオ信号Video1、Video2を用いる場合は、シフトレジスタSRA、SRBの総出力本数は、ソースバスラインS₁～S_Nの総本数の1/2で駆動することが可能になり、シフトレジスタSRA、SRBが基板1に占める面積が約1/2に低減できる。その結果、歩留り良くソースドライバ3を作製することができる。

【0032】ここで、原ビデオ信号Videoを本実施例の2系統のビデオ信号Video1、Video2に変換するビデオ信号作成回路の一例を図3に示す。図3を参照して、このビデオ信号作成回路の構成を説明する。

【0033】図示するように、原ビデオ信号Videoが入力され、入力された原ビデオ信号VideoをA/D変換すると共に、サンプリング期間 t_0 でサンプリングするA/D変換回路41の出力側に、ガンマ補正回路42が接続されている。ガンマ補正回路42は、A/D変換回路41からの出力を非線形変換することによって、液晶表示装置において、原ビデオ信号Videoに対して正しい輝度が再現できるように補正する回路である。ガンマ補正回路42の出力側には、ガンマ補正回路の出力信号をラッチするための2系統のデータラッチ回路43b、43cが接続されている。データラッチ回路43bの出力側には、D/A変換回路44bを介してバッファアンプ回路45bが接続されており、データラッチ回路43cの出力側には、D/A変換回路44cを介してバッファアンプ回路45cが接続されている。バッファアンプ回路45b、45cの出力であるビデオ信号Video1、Video2に基づいて、2系統のビデオ信号Video1及びVideo2のレベル差を補正するゲイン・オフセット補正回路46が設けられている。

【0034】図4に上記ビデオ信号作成回路の動作を表すタイミングチャートを示す。図4に基づいて、このビデオ信号作成回路の動作を説明する。

【0035】まず、原ビデオ信号VideoがA/D変換回路41に入力され、A/D変換回路41によって、入力された原ビデオ信号VideoをA/D変換すると共に、図4に示すように、サンプリング期間 t_0 でサンプリングし、ビデオ信号電位D₁、D₂、…を出力する。A/D変換回路41からの出力は、ガンマ補正回路42に入力され、ガンマ補正される。

【0036】次に、ガンマ補正回路42の出力は、2系統のデータラッチ回路43b、43cへ入力される。2系統のデータラッチ回路43b、43cでは、サンプリング期間 t_0 だけ位相のずれたクロック信号CKb及びCKcにより、ビデオ信号電位D₁、D₂、…がサンプリング期間 t_0 の2倍の期間ラッチされる。この時、デー

タラッチ回路43bには、図示するように奇数番目のビデオ信号電位 D_1 、 D_3 、…がラッチされ、データラッチ回路43cには、図示するように偶数番目のビデオ信号電位 D_2 、 D_4 、…がラッチされる。2系統のデータラッチ回路43b、43cの出力は、各々対応するD/A変換回路44b、44cへ入力される。D/A変換回路44b、44cは、クロック信号CKdにより駆動され、その結果、2つのD/A変換回路44b、44cの間で、サンプリング期間 t_0 だけ位相のずれたビデオ信号電位 D_1 、 D_2 、…が同じタイミングで、各々対応するバッファアンプ回路45b、45cへ出力される。

【0037】以上のようにして、上述の2系統のビデオ信号Video 1及びVideo 2が得られる。

【0038】一般に、2系統のビデオ信号Video 1、Video 2相互間では、D/A変換回路44b、44c及びバッファアンプ回路45b、45cの特性のばらつき等により、出力信号レベルの差が生じる。このビデオ信号Video 1、Video 2間のレベル差に起因して、液晶表示装置に表示ムラが生じる。

【0039】多数の被験者に対し行った実験から、このビデオ信号Video 1、Video 2間のレベル差が、ゲインが0.5%以下で、オフセットが約20mV以下であれば実用上表示ムラとならず、問題ないことが分かった。

【0040】この実験結果に基づいて、2系統のビデオ信号Video 1、Video 2間のレベル差を検出し、ゲイン・オフセット補正回路46により、ビデオ信号Video 1、Video 2のゲイン及びオフセットの補正を行い、ビデオ信号Video 1、Video 2間のレベル差をゲインが0.5%以下で、オフセットが20mV以下となるように調節する。

【0041】本実施例の液晶表示装置においては、上述のように、ビデオ信号Video 1、Video 2のゲイン及びオフセットの補正を行っているため、液晶表示装置の表示ムラを解消している。

【0042】なお、上記2系統のビデオ信号Video 1、Video 2は、アナログサンプルアンドホールド回路等を用いても得ることが可能である。この場合も、必要であればゲイン及びオフセットの補正を行って、ビデオ信号Video 1、Video 2間のレベル差をゲインが0.5%以下で、オフセットが20mV以下となるように調節すれば、液晶表示装置の表示ムラを解消できる。

【0043】また、アナログスイッチ32及びサンプリングコンデンサ33からなるサンプルアンドホールド回路の容量（ソースバスライン $S_1 \sim S_N$ の寄生容量を含む）と表示部2のソースバスライン $S_1 \sim S_N$ とゲートバスライン $G_1 \sim G_M$ との各交点に形成された電荷保持容量 $20c$ の容量との比によっては、液晶表示装置の表示ムラが発生することが判明した。これは、製造工程に於て、フォトリソグラフィにより各部をパターン形成する時にパターンのばらつきが生じ、これにより、電荷の

転送効率に変化することに起因すると考えられる。

【0044】このパターンのばらつきに起因する表示ムラは、実験により、サンプルアンドホールド回路の容量（ソースバスライン $S_1 \sim S_N$ の寄生容量を含む）が、表示部2の電荷保持用容量 $20c$ の容量と比較して、10倍以上、望ましくは50倍以上とすれば解消されることが分かった。

【0045】従って、本実施例に於て、サンプルアンドホールド回路の容量（ソースバスライン $S_1 \sim S_N$ の寄生容量を含む）を、表示部2の電荷保持用容量 $20c$ の容量の50倍とした。これにより、表示ムラのない均一な表示が得られた。

【0046】上記実施例は、2系統のシフトレジスタSRA、SRBを並列駆動させ、2系統のビデオ信号Video 1、Video 2を入力する場合であるが、K（2以上の整数）系統のシフトレジスタを並列駆動させ、かつ、L（2以上の整数）系統のビデオ信号を入力して、L個のサンプルアンドホールド回路を構成するスイッチ手段を同時に制御することによって、ソースバスラインを駆動させれば、シフトレジスタの動作スピードは $1/2KL$ に低減できる。この時の原ビデオ信号Videoのサンプリング期間は t_0 であるので、表示画像の解像度は低下せず、且つスイッチ手段に割当てられる真のサンプリング期間はサンプリング期間 t_0 のL倍になる。

【0047】又、シフトレジスタの総出力本数は、ソースバスラインの総本数の $1/L$ の本数での駆動が可能になり、シフトレジスタが基板に占める面積を約 $1/L$ に低減できる。その結果、更に歩留り良くソースドライバを作製することができる。

【0048】

【発明の効果】以上の説明から明らかなように、本発明のアクティブマトリクス型液晶表示装置によれば、原ビデオ信号のサンプリング期間よりも、ソースドライバを構成するシフトレジスタの動作スピードを低減することが可能となると同時に、原ビデオ信号のサンプリング期間は従来のままで、ソースドライバを構成するサンプルアンドホールド回路においてサンプリング期間を十分長くとることができるため、表示画質の向上並びにスイッチ手段の動作スピードの低減を図ることができる。

【0049】また、シフトレジスタの出力本数の低減及びシフトレジスタの占める面積の縮小化が可能になるので、歩留り良くソースドライバを形成することが可能となるのみならず、単結晶シリコンに比べてトランジスタの動作スピードの遅いポリシリコン薄膜等の材料を用いて、大容量・大画面の駆動回路一体型のアクティブマトリクス表示装置を構成することが可能になる。

【図面の簡単な説明】

【図1】本発明の1実施例であるアクティブマトリクス型液晶表示装置の回路図である。

【図2】図1に示すソースドライバの動作時のタイミ

ングチャートである。

【図3】本発明の2系統のビデオ信号作成回路の一例のブロック図である。

【図4】図3に示す回路の動作時のタイミングチャートである。

【図5】従来例のアクティブマトリクス型液晶表示装置の回路図である。

【図6】図5に示す絵素の等価回路の一例である。

【図7】図5に示すソースドライバーの動作時のタイミングチャートである。

【符号の説明】

- 1 基板
- 2 表示部
- 3 ソースドライバー

4 ゲートドライバー

20 絵素

31a、31b ビデオ信号ライン

32 アナログスイッチング

33 サンプリングコンデンサ

34 共通電極

$S_1 \sim S_M$ ソースバスライン

$G_1 \sim G_M$ ゲートバスライン

SRA、SRB シフトレジスタ

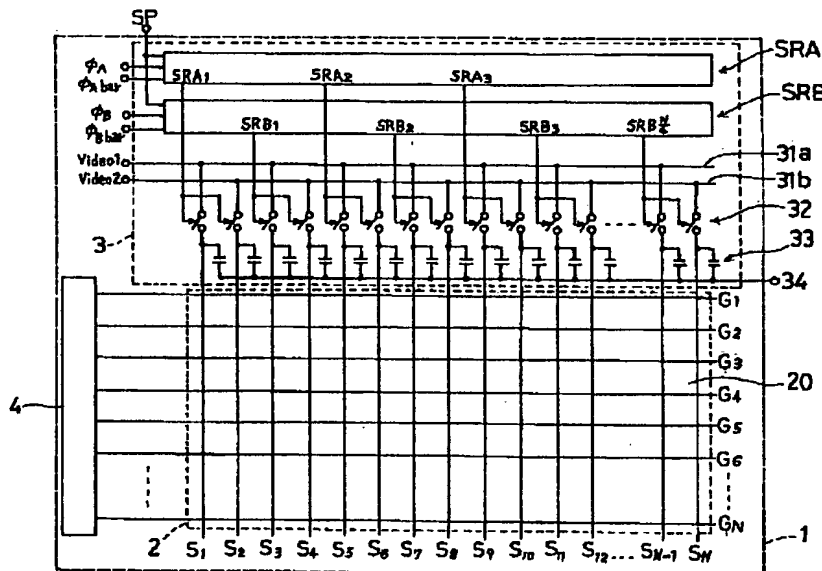
10 Video 原ビデオ信号

Video 1、Video 2 ビデオ信号

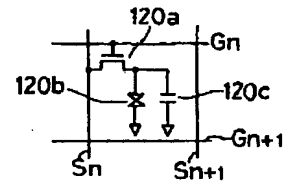
D_1 、 D_2 、… ビデオ信号電位 (データ)

ΦA 、 $\Phi A\text{Bar}$ 、 ΦB 、 $\Phi B\text{Bar}$ クロック信号

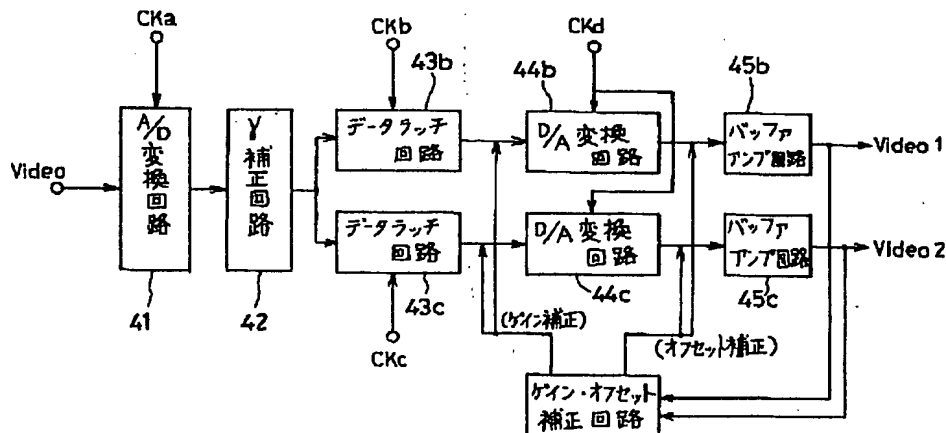
【図1】



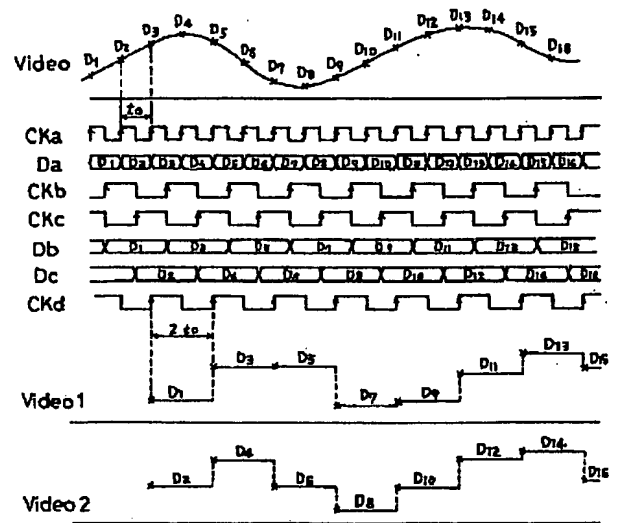
【図6】



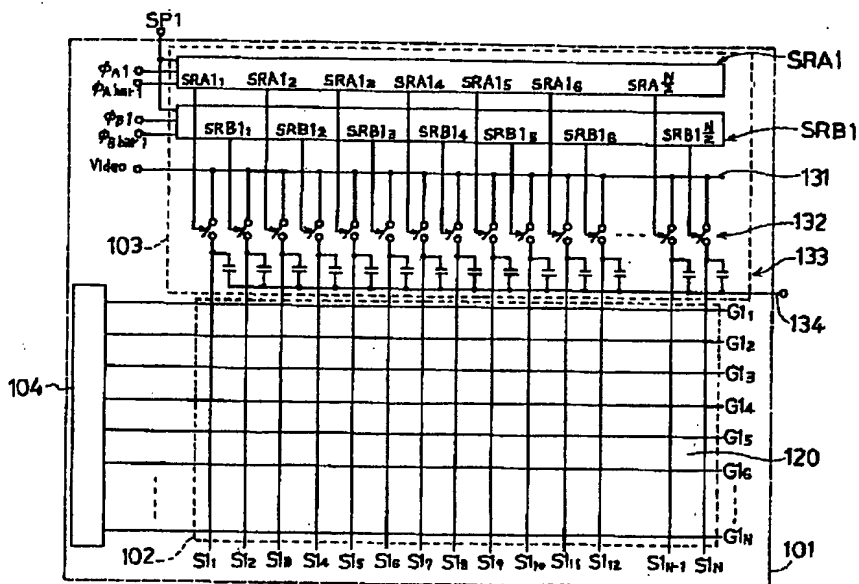
【図3】



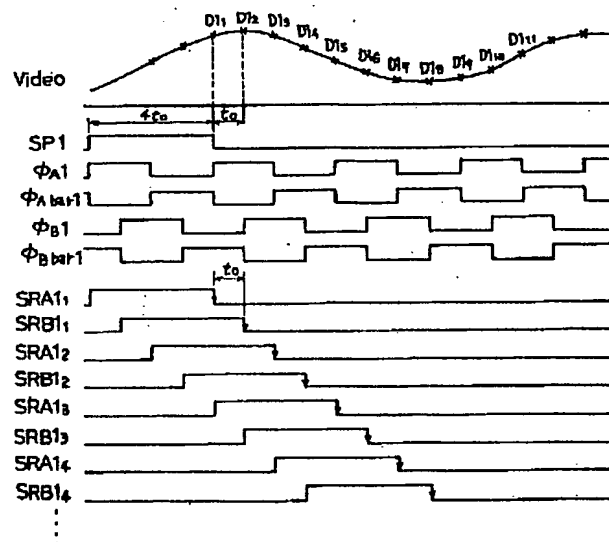
【図 4】



【图5】



【図7】



フロントページの続き

(72)発明者 ▲高▼藤 裕
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 佐々木 修
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内